

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321088

(43)Date of publication of application : 12.12.1997

(51)Int.CI.

H01L 21/60
G01R 31/26
H01L 21/66
H01L 23/12

(21)Application number : 08-131690

(22)Date of filing : 27.05.1996

(71)Applicant : HITACHI LTD

(72)Inventor : ARIMA HIDEO

HASEBE AKIO

YAMAMOTO KENICHI

MORINAGA KENICHIRO

HARUTA AKIRA

TSUBOSAKI KUNIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MODULE BOARD AND ELECTRONIC APPARATUS OBTAINED BY IT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the warp of an LSI package which has a BGA structure by mounting a plurality of semiconductor chips, and cutting a large-sized board where each device formation face is covered with resin, and manufacturing a plurality of package boards where semiconductor chips are mounted.

SOLUTION: A plurality of semiconductor chips 5 are mounted on a major surface of a large-sized board 1A provided with an area to mount a plurality of semiconductor chips in longitudinal direction and lateral direction on the major surface, and each of the plurality of semiconductor chips 5 and the large-sized board 1A are electrically connected with each other. Furthermore, a plurality of package boards where the semiconductor chips 5 are mounted are manufactured by cutting the large-sized board 1A after covering each element formation face of the semiconductor chips 5 with resin 6. For example, the large-sized board 1A is made one which is provided with an electrode pad 2 for connection with a semiconductor chip 5 and an electrode pad 3 for connection with a mother board on the major surface, being a multilayer printed wiring board made of denatured epoxy resin.



LEGAL STATUS

[Date of request for examination] 06.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3569386

[Date of registration] 25.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-321088

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/60	3 1 1		H 01 L 21/60	3 1 1 S
G 01 R 31/26			G 01 R 31/26	H
H 01 L 21/66			H 01 L 21/66	H
				L
23/12			23/12	L

審査請求 未請求 請求項の数9 O L (全 16 頁)

(21)出願番号	特願平8-131690	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成8年(1996)5月27日	(72)発明者	有馬 英夫 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
		(72)発明者	長谷部 昭男 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
		(72)発明者	山本 健一 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
		(74)代理人	弁理士 简井 大和
			最終頁に続く

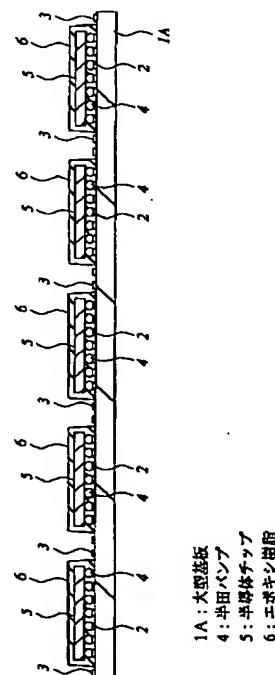
(54)【発明の名称】 半導体集積回路装置の製造方法およびそれにより得られるモジュール基板ならびに電子機器

(57)【要約】

【課題】 BGA (ボール・グリッド・アレイ) のパッケージ基板の反りを抑制する。また、BGAの製造工程で発生する異物による信頼性、製造歩留まりの低下を抑制する。

【解決手段】 大型基板1Aの正面に半田バンプ4を介して複数個の半導体チップ5を搭載した後、各半導体チップ5をエポキシ樹脂6でモールドし、次いでバーンイン試験および電気特性評価試験を行った後、ダイシング装置を使って大型基板1Aを切断することにより、複数個のBGAを製造する。

7
図



1A: 大型基板
4: 半田バンプ
5: 半導体チップ
6: エポキシ樹脂

【特許請求の範囲】

【請求項1】 主面に縦方向および横方向に沿って複数の半導体チップを搭載する領域を設けた大型基板を用意する工程と、前記大型基板の正面に複数の半導体チップを搭載し、前記複数の半導体チップのそれぞれと前記大型基板とを電気的に接続する工程と、前記複数の半導体チップのそれぞれの素子形成面を樹脂で被覆する工程と、前記複数の半導体チップが搭載された前記大型基板を切断することにより、前記半導体チップが搭載されたパッケージ基板を複数個製造する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、前記複数の半導体チップのそれぞれと前記大型基板とをバンプ電極またはボンディングワイヤを介して電気的に接続することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法であって、前記複数の半導体チップをモールド樹脂またはポッティング樹脂で被覆することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1、2または3記載の半導体集積回路装置の製造方法であって、前記大型基板を回転式のブレードを用いて切断することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1～4のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記大型基板を切断する工程に先立ち、前記大型基板の裏面にバンプ電極を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1～5のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記大型基板を切断する工程に先立ち、バーンイン試験または電気特性評価試験を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記パッケージ基板をバンプ電極またはボンディングワイヤを介してマザーボードに実装することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1～7のいずれか1項に記載の製造方法により得られた前記パッケージ基板が他の電子部品と共にマザーボードに実装されてなることを特徴とするモジュール基板。

【請求項9】 請求項8記載のモジュール基板が組み込まれてなることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置の製造方法に関し、特に、ボール・グリッド・アレイ(Ball Grid Array; BGA)構造のLSIパッケージを

有する半導体集積回路装置の製造に適用して有効な技術に関するものである。

【0002】

【従来の技術】 多ピンLSIパッケージの代表的なものとしてQFP(Quad Flat package)が広く使用されている。

【0003】 QFPは、5連程度のリードフレームに半導体チップを搭載し、各半導体チップのボンディングパッドとリードフレームとをAuワイヤなどで接続した

10 後、半導体チップを樹脂モールドし、次いで樹脂パッケージの外部に残ったリードフレームの不要箇所を切断、除去して組み立てる。

【0004】 従来、QFPは、樹脂パッケージの4辺に設けたリードのピッチを縮小することにより多ピン化を実現してきた。しかし、近年におけるパッケージのI/O端子の増加により、QFPによる実装が次第に困難な状況になりつつある。これはQFPの場合、I/O端子を増やすためにリードの狭ピッチ化を進めていくと、リードが微細になって変形し易くなり、実装基板に半田付けする際の不良率が高くなるからである。また、その対策としてパッケージの外形寸法を大きくすると、実装密度が低下したり、リードが長くなつて高速動作が妨げられたりするといった問題が生じる。

【0005】 最近、QFPの上記した問題を解決することが可能なパッケージとして、BGAが注目されている。BGAは、半導体チップを実装したパッケージ基板の裏面に半田バンプをマトリクス状に取り付けた構造になっており、半導体チップとパッケージ基板との接続には、Auワイヤまたは半田バンプが用いられる。また、

30 パッケージ基板には、ガラスエポキシ、ガラス変性エポキシ、ガラスBT(Bismaleimide Triadine)、ポリイミドなどの樹脂材料が主として用いられる。通常、これらのパッケージ基板は高密度配線を実現するために多層構造になっているが、板厚は1mm以下が普通である。パッケージ基板の外形寸法は、半導体チップの端子数や基板の端子ピッチにより異なるが、1辺長が約10mmから50mm程度である。BGAは、QFPのようにリードフレームを使用しないことから、多ピン化が容易で、かつ実装面積も小さくできるという利点がある。

40 【0006】 上記BGAについては、例えば米国特許第5,216,278号公報に記載がある。この公報に記載されたBGAは、裏面に半田バンプを取り付けた樹脂製のパッケージ基板上にワイヤボンディング方式で半導体チップを実装し、この半導体チップをモールド樹脂で封止した、いわゆるOMPAC(Over Molded Pad Array Carrier)構造で構成されている。

【0007】

【発明が解決しようとする課題】 前述したBGAは、多ピン化を進めていくとパッケージ基板の外形寸法が大きくなり、それに伴つて基板の反りも大きくなる。パッケ

ージ基板の反りは、BGAの組立てを困難にするだけでなく、BGAをマザーボードに実装する時の接続歩留まりにも直接影響する。

【0008】パッケージ基板の反りの原因は、パッケージ構造とも関連しているが、基板の製造履歴に支配されている部分も多く、特に加熱処理を行った後に顕著に反りが表れる。従って、パッケージ基板の構成材料や構造を最適化するだけでは反りをなくすことは困難であり、製造工程に着目した対策が必要となる。

【0009】BGAのもう一つの問題として、製造工程でパッケージ基板から発生する異物による信頼性および製造歩留まりの低下がある。

【0010】BGAの製造工程では、一枚の大型樹脂基板を打ち抜いて何枚かのパッケージ基板を作成した後、各パッケージ基板上に半導体チップを搭載する。打ち抜き切断されたパッケージ基板の端部は、樹脂や繊維などが破断された状態になっているため、それらのカス

(滓)が基板表面などに付着して不良を引き起こす。この現象は、加熱工程を経た後に顕著に表れる。また、製造工程で用いる洗浄液、フラックスなどの薬液が切断端部から内部に染み込みやすく、その洗浄や乾燥に長時間を要するのみならず、基板自身の劣化を招く原因ともなる。また、この切断端部には製造工程で使用する種々の物質が付着しやすく、それが汚染の発生源となる場合もある。さらに、パッケージ基板の端部が破断された状態になることで、基板表面の回路形成領域が狭められるといった設計上の制約も生じる。

【0011】従って、パッケージ基板の端部からのカスの発生を防止し、組立て時間の短縮、基板の劣化防止などを図るために、パッケージ基板の切断箇所を極力少なくするような組立て方法や、切断カスの発生が少ない切断方法を開発する必要がある。

【0012】本発明の目的は、BGA構造を有するLSIパッケージの基板の反りを抑制することのできる技術を提供することにある。

【0013】本発明の他の目的は、BGA構造を有するLSIパッケージの製造工程で発生する異物による信頼性、製造歩留まりの低下を抑制することのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明による半導体集積回路装置の製造方法は、主面に複数の半導体チップを搭載する領域を設けた大型基板を用意する工程と、前記大型基板の主面に複数の半導体チップを搭載し、前記複数の半導体チップの

それぞれと前記大型基板とを電気的に接続する工程と、前記複数の半導体チップのそれぞれの素子形成面を樹脂で被覆する工程と、前記複数の半導体チップが搭載された前記大型基板を切断することにより、前記半導体チップが搭載されたパッケージ基板を複数個製造する工程とを含んでいる。

【0017】本発明による半導体集積回路装置の製造方法は、前記大型基板を回転式のブレードを用いて切断する。

【0018】本発明による半導体集積回路装置の製造方法は、前記大型基板を切断する工程に先立ち、前記大型基板の裏面にバンプ電極を形成する。

【0019】本発明による半導体集積回路装置の製造方法は、前記大型基板を切断する工程に先立ち、バーンイン試験または電気特性評価試験を行う。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0021】(実施の形態1) 本実施の形態によるBGAの製造方法を図1～図10を用いて工程順に説明する。

【0022】まず、図1(平面図)および図2(図1のI'I'-I'I'線に沿った断面図)に示すような大型基板1Aを用意する。この大型基板1Aは、4～6層程度の配線層を備えた変性エポキシ樹脂製の多層プリント配線基板であり、その外形寸法は、長辺が300mm程度、短辺が200mm程度、板厚が1mm程度である。

【0023】大型基板1Aは、例えば長辺方向に8個、短辺方向に5個、合計 $8 \times 5 = 40$ 個の半導体チップを搭載できるようになっており、その主面には半導体チップとの接続に用いる電極パッド2と、マザーボードとの接続に用いる電極パッド3とが設けられている。これらの電極パッド2、3の数は、半導体チップ1個あたりそれぞれ250個程度である。電極パッド2、3とそれらを接続する配線(図示せず)とは銅(Cu)からなり、電極パッド2、3を構成するCuの表面にはニッケル(Ni)およびAuのメッキが施されている。この大型基板1Aは、通常の多層プリント配線基板の製造方法に従って製造することができる。

【0024】次に、図3に示すように、大型基板1Aの主面に形成された半導体チップ接続用の電極パッド2の上に錫(Sn)と鉛(Pb)の合金からなる半田バンプ4を形成する。半田バンプ4は、電極パッド2の表面に半田ペーストを印刷した後、リフロー炉内でこの半田ペーストを250℃程度でリフローして形成する。

【0025】次に、図4および図5に示すように、大型基板1Aの主面に40個の半導体チップ5を搭載する。それぞれの半導体チップ5には、例えばマイクロコンピ

ュータが形成されており、端子数は250ピン程度である。半導体チップ5を搭載するには、まずフラックス塗布装置を使って大型基板1Aの半田バンプ4の表面にフラックスを塗布した後、位置合わせ搭載機を使い、ウエハから切り出した良品の半導体チップ5をその正面（素子形成面）を基板側に向けて1個ずつ半田バンプ4上に位置決めする。次いで、リフロー炉内で半田バンプ4を230°C程度でリフローすることにより、半導体チップ5と半田バンプ4とを電気的に接続する。その後、大型基板1Aを洗浄してフラックス残渣を除去する。

【0026】次に、図6および図7に示すように、各半導体チップ5をエポキシ樹脂6でモールドする。ここでは、大型基板1Aを基板単位でモールド金型に装着し、40個の半導体チップ5を同時に一括してモールドする。

【0027】次に、図8に示すようなダイシング装置20を使って大型基板1Aをその長辺方向および短辺方向に沿って格子状に切断する。このダイシング装置20は、先端が鋭角となった回転式のブレード21を備えており、このブレード21で大型基板1Aを切断することにより、打ち抜き方式で切断する場合に比べて切断面の破断が少なくなるため、樹脂や繊維などのカスの発生量を少なくすることができる。また、このダイシング装置20に大型基板1Aの位置検出および切断軌道修正機能を持たせることにより、高い寸法精度で切断を行うことができる。

【0028】図9は、上記の製造方法により得られたBGA10Aの外観斜視図である。大型基板（1A）を切断して得られたパッケージ基板12Aの外形寸法は35mm×35mm程度、半導体チップ（5）が封止されたエポキシ樹脂6の外形寸法は27mm×27mm程度である。組立てに要した時間は、QFPと比較してパッケージ1個あたり、半導体チップの電気的接続が約2分の1、樹脂モールドが約4分の1に短縮できた。また、このパッケージ基板12Aの反りは0.05mm以下であったのに対し、大型基板を切断してあらかじめパッケージ基板を作成してから、半田バンプの形成、半導体チップの搭載および封止などを行ってBGAを組み立てた場合には、パッケージ基板の反りが0.15mm程度になった。

【0029】その後、バーンイン試験および電気特性評価試験を行ってBGA10Aの良否を判定した後、図10に示すように、マザーボード11Aの正面にBGA10Aを実装する。BGA10Aを実装するには、まずBGA10Aのパッケージ基板12Aを接着剤などでマザーボード11Aの正面に接合した後、ワイヤボンディング装置を使い、BGA10Aの電極パッド3とマザーボード11Aの電極パッド13とをAuワイヤ14で電気的に接続する。

【0030】（実施の形態2）本実施の形態によるBGAの製造方法を図11～図19を用いて工程順に説明す

る。

【0031】まず、図11および図12に示すような大型基板1Bを用意する。この大型基板1Bは、マザーボードとの接続に用いる電極パッド3が基板の裏面側に配置されている以外は、前記実施の形態1で用いた大型基板1Aとほぼ同一の構造および寸法で構成されている。

【0032】次に、図13および図14に示すように、大型基板1Bの正面に40個の半導体チップ5を搭載する。前記実施の形態1と同様、半導体チップ5は、マイクロコンピュータを形成した、端子数250ピン程度のものを使用する。また、半導体チップ5の搭載は、前記実施の形態1と同じ方法で行い、その後、大型基板1Bを洗浄してフラックス残渣を除去する。

【0033】次に、図15および図16に示すように、半導体チップ5の正面を水分や異物などから保護するために、半導体チップ5の正面と大型基板1Bの正面との隙間およびその周囲に薄い板状の樹脂層8を形成する。樹脂層8を形成するには、例えばディスペンサなどを使って大型基板1Bと半導体チップ5との隙間およびその周囲にエポキシ系の熱硬化性樹脂をポッシングし、次いでこの樹脂を150°C程度に加熱して硬化させる。

【0034】次に、図17に示すように、大型基板1Bの裏面に形成されたマザーボード接続用の電極パッド3に半田バンプ9を形成する。半田バンプ9は、電極パッド3の表面に半田ペーストを印刷した後、リフロー炉内で半田ペーストをリフローして形成する。この半田バンプ9は、半導体チップ5と大型基板1Bとを接続する半田バンプ4よりも低融点の半田材料で構成する。その後、大型基板1Bを洗浄してフラックス残渣を除去する。

【0035】次に、前記実施の形態1で用いたダイシング装置を使って大型基板1Bを切断することにより、図18に示すようなBGA10Bが40個得られる。

【0036】このBGA10Bのパッケージ基板12Bの反りは0.04mm以下であったのに対し、あらかじめ大型基板を切断してパッケージ基板を作成してからBGAを組み立てた場合、パッケージ基板の反りは0.13mm程度になった。組立てに要した時間は、QFPと比較してパッケージ1個あたり、半導体チップの電気的接続が約2分の1、樹脂層の形成が約3分の1に短縮できた。また、パッケージ基板12Bの裏面に半田バンプ9を形成するのに要した時間は、あらかじめ大型基板を切断してパッケージ基板を作成してから半田バンプを形成する場合と比較してパッケージ基板1枚あたり、約20分の1に短縮できた。

【0037】その後、バーンイン試験および電気特性評価試験を行ってBGA10Bの良否を判定した後、図19に示すように、マザーボード11Bの正面にBGA10Bを実装する。BGA10Bを実装するには、まずフラックス塗布装置を使ってBGA10Bの半田バンプ9

の表面にフラックスを塗布した後、位置合わせ搭載機を使い、BGA10Bをマザーボード11Bの電極パッド15上に位置決めする。次いで、リフロー炉内で半田バンプ9をリフローし、BGA10Bとマザーボード11Bとを電気的に接続する。

【0038】(実施の形態3) 本実施の形態によるBGAの製造方法を図20～図28を用いて工程順に説明する。

【0039】まず、図20および図21に示すような大型基板1Cを用意する。この大型基板1Cは、4層程度の配線層を備えた変性エポキシ樹脂製の多層プリント配線基板であり、その外形寸法は、長辺が200mm程度、短辺が167mm程度、板厚が1mm程度である。

【0040】大型基板1Cは、例えば長辺方向に8個、短辺方向に16個、合計 $8 \times 16 = 128$ 個の半導体チップを搭載できるようになっており、その主面には半導体チップとの接続に用いる電極パッド16が設けられ、裏面にはマザーボードとの接続に用いる電極パッド17が設けられている。電極パッド16の数は、半導体チップ1個あたり30個程度であり、電極パッド17の数は、BGAパッケージ1個あたり50個程度である。電極パッド16、17とそれらを接続する配線(図示せず)とはCuからなり、電極パッド16、17を構成するCuの表面にはNiおよびAuのメッキが施されている。

【0041】次に、図22および図23に示すように、大型基板1Aの主面に128個の半導体チップ18を搭載する。それぞれの半導体チップ18には、例えばメモリLSIが形成されており、端子数は30ピン程度である。半導体チップ18を搭載するには、まずディスペンサを使って大型基板1Cの主面のチップ搭載領域に銀(Ag)ペーストなどの接着剤を塗布した後、位置合わせ搭載機を使い、ウエハから切り出した良品の半導体チップ18をその主面を上に向けて1個ずつチップ搭載領域に位置決めする。次いで、赤外線加熱炉内で接着剤を150°C程度で加熱、硬化することにより、半導体チップ18を大型基板1C上に固定する。

【0042】次に、図24に示すように、ワイヤボンディング装置を使い、大型基板1Cの電極パッド16と半導体チップ18とをAuワイヤ19で電気的に接続した後、図25および図26に示すように、半導体チップ18を2個ずつエポキシ樹脂6でモールドする。このとき、大型基板1Cを基板単位でモールド金型に装着し、128個の半導体チップ18を同時に一括してモールドする。

【0043】次に、図27に示すように、大型基板1Cの裏面に形成されたマザーボード接続用の電極パッド17に半田バンプ9を形成する。半田バンプ9の形成は、前記実施の形態2と同じ方法で行い、その後、大型基板1Cを洗浄してフラックス残渣を除去する。

【0044】次に、大型基板1Cをバーンイン装置に入れ、125°C程度でバーンイン試験を行った後、前記実施の形態1で用いたダイシング装置を使って大型基板1Cを切断してパッケージ基板12Cに分割することにより、図28に示すような、2個の半導体チップ18を搭載したマルチチップモジュール構造のBGA10Cが64個得られる。

【0045】このBGA10Cのパッケージ基板12Cの外形寸法は20mm×15mm程度、半導体チップ18の外形寸法は14mm×5mm程度、この半導体チップ18が2個封止されたエポキシ樹脂6の外形寸法は16mm×13mm程度である。また、パッケージ基板12Cの反りは0.03mm以下であったのに対し、あらかじめ大型基板を切断してパッケージ基板を作成してからBGAを組み立てた場合、パッケージ基板の反りは0.1mm程度になった。

【0046】組立てに要した時間は、QFPと比較してパッケージ1個あたり、半導体チップの電気的接続がほぼ同時に、樹脂モールドが約4分の1に短縮できた。また、バーンインの際の装着および取り外しに要した時間は、BGAを1個ずつソケットに装着、配線する場合と比較して約1/10に低減できた。

【0047】本実施の形態のBGA10Cは、パッケージ基板12Cの裏面に半田バンプ9を形成しているので、前記実施の形態2のBGA10Bと同じ方法でマザーボード11に実装することができる。

【0048】(実施の形態4) 実施の形態2で製造したマイクロコンピュータのBGA1個と、SRAMのSOJ(Small Outline J-leaded)パッケージ2個と、実施の形態3で製造したメモリLSIのBGA2個とをマザーボードに搭載し、ディジタル信号処理用のモジュール基板を作成した。

【0049】(実施の形態5) 実施の形態4で作成したディジタル信号処理用のモジュール基板を、送受信ボード、液晶表示パネル、キーボードなどを組み込んだPDA(Personal Digital Assistants)に実装し、小型の情報端末機器を作成した。

【0050】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0051】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0052】(1) 本発明の製造方法によれば、大型基板を切断してあらかじめパッケージ基板を作成してからBGAを組み立てる製造方法に比べて、パッケージ基板の反りを3分の1程度まで低減することができる。これにより、各工程での製造が容易になり、BGAの製造歩

留まりが向上する。

【0053】单一のパッケージ基板を作成してからBGAを組み立てる場合は、反りの基板依存性が大きく、特に、加熱処理の直後にそれが顕著に表れる。これは、基板の切断も含めたパッケージ基板の製造工程における不均一さが原因であると推定される。これに対し、切断前の大型基板を使ってBGAを組み立てる場合に基板の反りが少なくなるのは、大型基板では切断後にパッケージ基板となる領域の端部同士が相互に接続し、連続しているので、加熱時の反りが互いに相殺され、かつその状態が安定化しているためと考えられる。なお、この反り低減の効果は、大型基板に半導体チップを1列に搭載した時よりも、XおよびY方向にマトリクス状に搭載した時の方が高かった。

【0054】(2) 本発明の製造方法によれば、BGAの組み立ての最終工程で大型基板を切断するので、基板の端部(切断面)から出る樹脂や繊維などのカスが製造工程の途中で基板表面などに再付着して不良を引き起こすことがない。また、製造工程で使用するフラックスや洗浄液などの薬液が基板の切断面から浸入することができないで、基板自身の劣化を防止できる。これにより、BGAの信頼性、製造歩留まりが向上する。

【0055】本発明の製造方法によれば、先端が鋭角となつた回転式のブレードを用いて大型基板を切断することにより、樹脂や繊維などのカスの発生が大幅に低減すると共に、パッケージ基板の外形寸法精度が向上する。

【0056】また、打ち抜きによる基板の切断方法は、外形寸法の異なるパッケージ基板が多種類ある場合、打ち抜き型の種類が増えて型代が嵩むのに対し、ブレードによる切断方法は、単一の装置で種々の切断ピッチに対応できるため、BGAの多品種製造に適している。

【0057】さらに、パッケージ基板の製造に用いる大型基板の製造ロットおよび大型基板内での各パッケージ基板の位置、大型基板の製造状態などの情報は、BGAの製造歩留まり向上を図る上で不可欠であるが、BGAの組み立ての最終工程で大型基板を切断する本発明の製造方法によれば、これらの情報が容易に得られるため、パッケージ基板の製造歩留まりが向上する。

【0058】これらの効果により、BGAの平均製造歩留まりが約8.2%となり、单一のパッケージ基板を作成してからBGAを組み立てる製造方法に比較して16%以上も向上した。

【0059】(3) 本発明の製造方法によれば、大形基板単位でBGAを製造することにより、パッケージ基板単位でBGAを製造する場合に比較して基板のハンドリングが容易になるので、BGAの生産性が向上する。

【0060】また、半田バンプの形成、半導体チップと基板との電気的接続、半導体チップの樹脂被覆、バーンイン試験あるいは電気特性評価試験などを大形基板単位で行うことにより、一度に加工、組立できるBGAの数

が大幅に増え、BGAの生産性が向上する。さらに、バーンイン試験や電気特性評価試験時に配線の一部を大型基板内に形成することにより、同時検査や引き出し配線の低減が可能となるので、試験や組立に要する時間が低減でき、BGAの生産性が向上する。

【0061】また、BGAの組み立ての最終工程で大型基板を切断することにより、製造工程で使用するフラックスや洗浄液などの薬液が基板の切断面から浸入することができないので、基板の乾燥や洗浄に要する時間を大幅に短縮でき、BGAの生産性が向上する。

【0062】(4) 本発明の製造方法によれば、外形寸法精度が高く、かつ基板端部へのダメージが少ない方法で切断を行うことにより、パッケージ基板の回路形成領域が基板の周辺部にまで拡張される。これにより、パッケージ基板をより小型化することができ、BGAの実装密度が向上する。

【0063】(5) 上記したBGAの製造歩留まりおよび生産性の向上により、BGAの製造コストを低減することができる。

【0064】(6) パッケージ基板の反りが低減されることにより、BGAを実装するマザーボードとの平坦性が確保されるため、実装信頼性および実装歩留まりが向上する。これにより、BGAを他の電子部品と共にマザーボードに実装したモジュール基板、さらにはこのモジュール基板を組み込んだ電子機器の信頼性および製造歩留まりが向上する。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示す大型基板の平面図である。

【図2】図1のI—I—I'線に沿った大型基板の断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示す大型基板の斜視図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示す大型基板の斜視図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造方法を示すダイシング装置の概略図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造方法を示すBGAの外観斜視図である。

【図10】本発明の実施の形態1である半導体集積回路装置の実装方法を示すマザーボードの概略図である。

【図11】本発明の実施の形態2である半導体集積回路装置の製造方法を示す大型基板の平面図である。

【図12】本発明の実施の形態2である半導体集積回路

装置の製造方法を示す大型基板の断面図である。

【図 1 3】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す大型基板の斜視図である。

【図 1 4】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図 1 5】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す大型基板の斜視図である。

【図 1 6】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図 1 7】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図 1 8】本発明の実施の形態 2 である半導体集積回路装置の製造方法を示す B G A の外観斜視図である。

【図 1 9】本発明の実施の形態 2 である半導体集積回路装置の実装方法を示すマザーボードの断面図である。

【図 2 0】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の斜視図である。

【図 2 1】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図 2 2】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の斜視図である。

【図 2 3】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図 2 4】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図 2 5】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の斜視図である。

【図 2 6】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

【図 2 7】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す大型基板の断面図である。

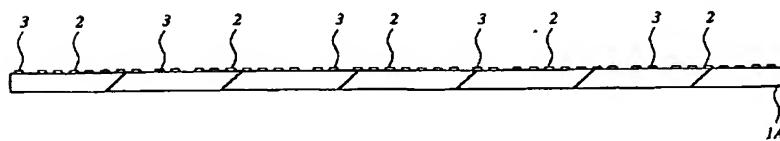
【図 2 8】本発明の実施の形態 3 である半導体集積回路装置の製造方法を示す B G A の断面図である。

【符号の説明】

1 A	大型基板
1 B	大型基板
1 C	大型基板
2	電極パッド
3	電極パッド
4	半田バンプ
5	半導体チップ
6	エポキシ樹脂
8	樹脂層
9	半田バンプ
10 A	B G A
10 B	B G A
10 C	B G A
11 A	マザーボード
11 B	マザーボード
12 A	パッケージ基板
12 B	パッケージ基板
12 C	パッケージ基板
13	電極パッド
14	A u ワイヤ
15	電極パッド
16	電極パッド
17	電極パッド
18	半導体チップ
19	A u ワイヤ
20	ダイシング装置
30	ブレード

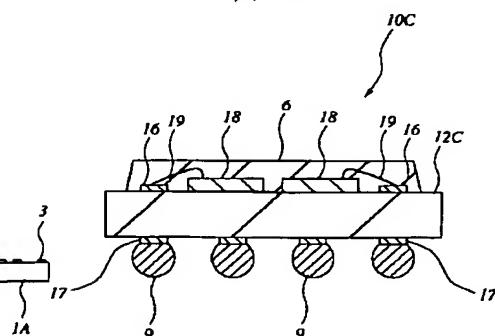
【図 2】

図 2

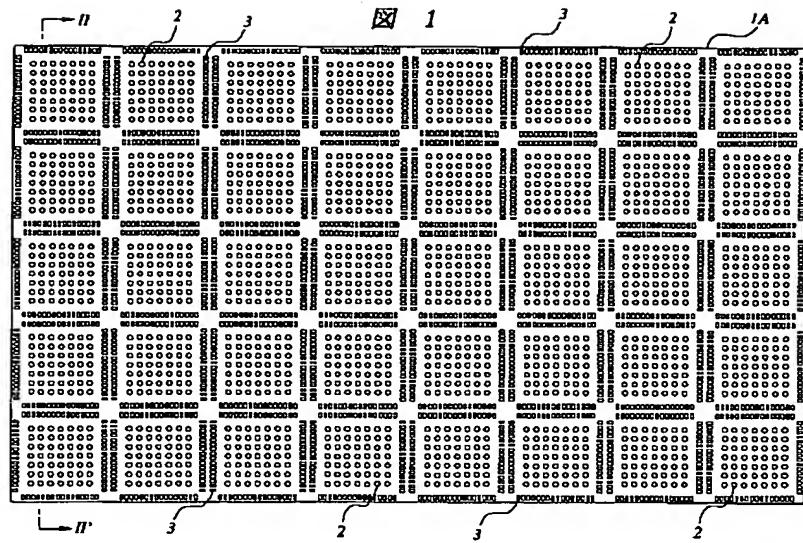


【図 28】

図 28

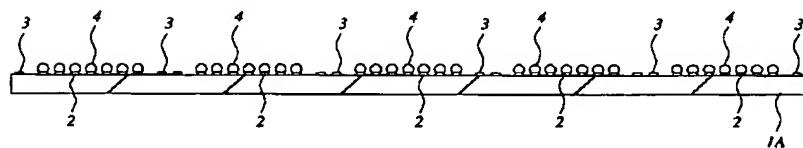


【図1】



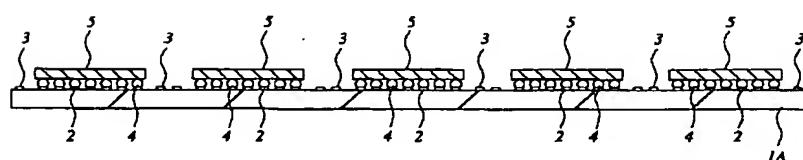
【図3】

図 3



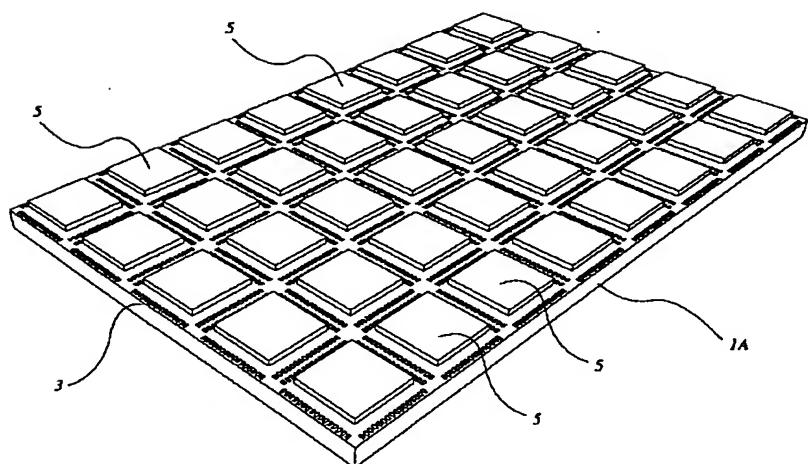
【図5】

図 5



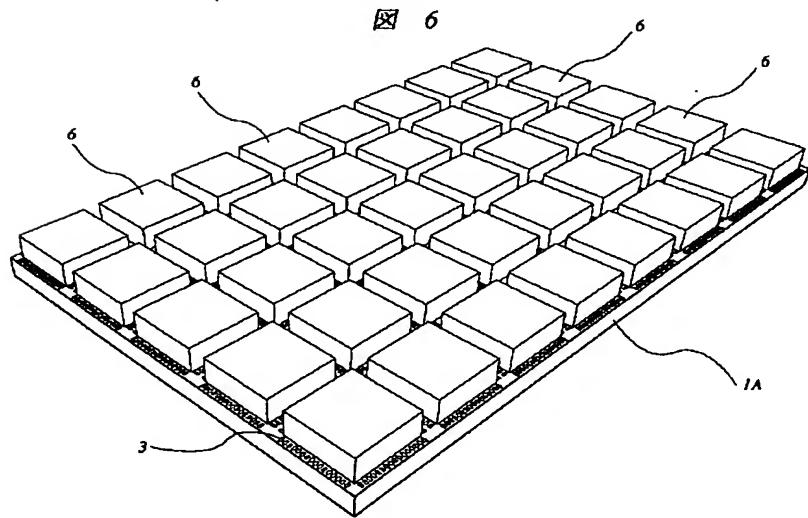
【図4】

図 4



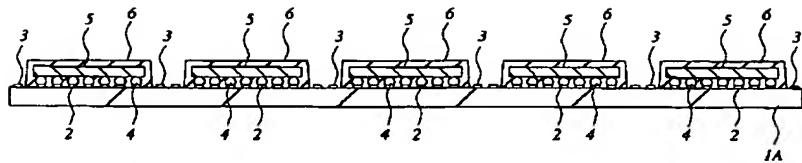
【図6】

図 6



【図7】

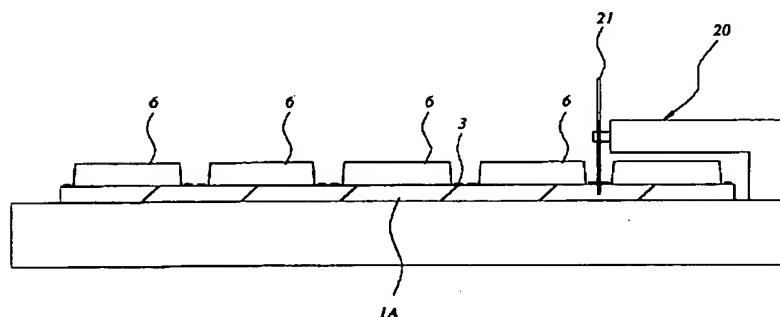
図 7



1A: 大型基板
4: 半田バンブ
5: 半導体チップ
6: エポキシ樹脂

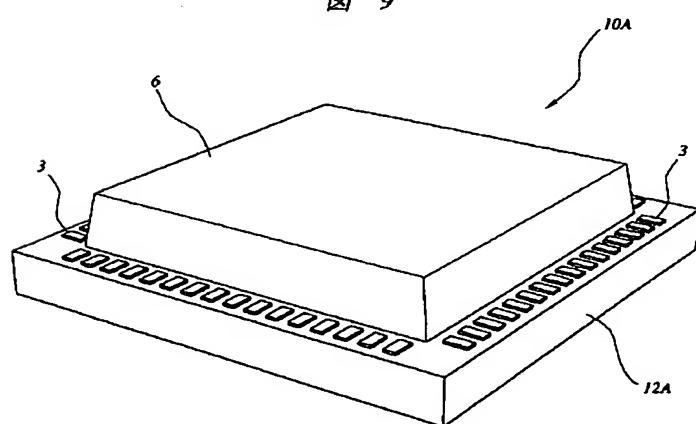
【図8】

図 8



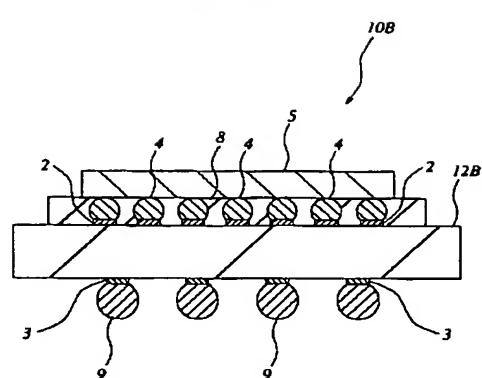
【図9】

図 9



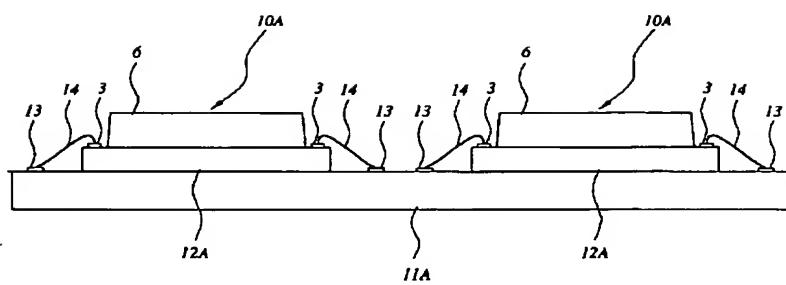
【図18】

図 18



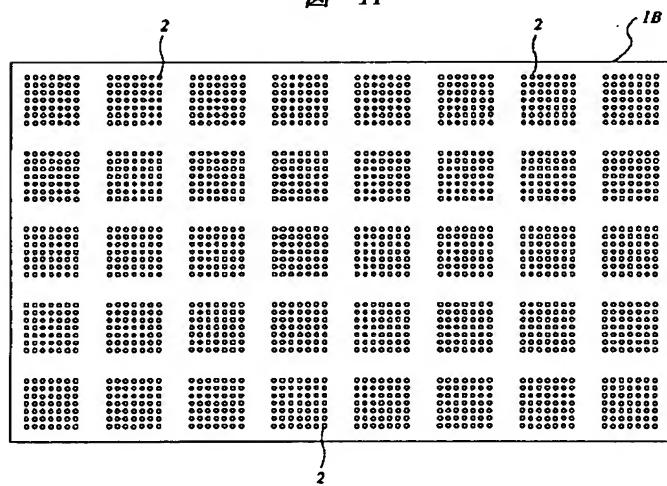
【図10】

図 10



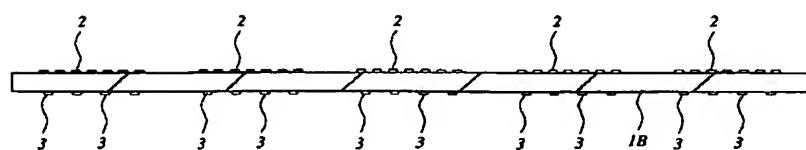
【図11】

図 11



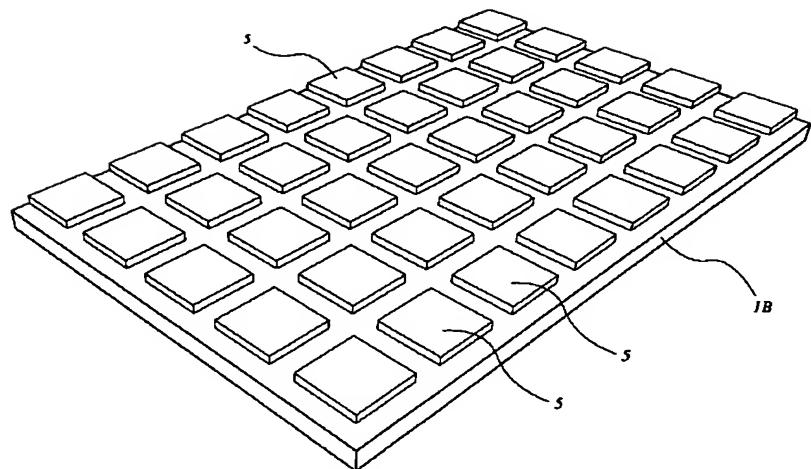
【図12】

図 12



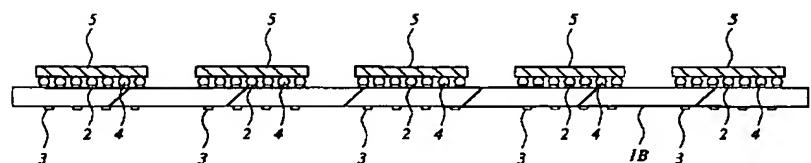
【図13】

図 13



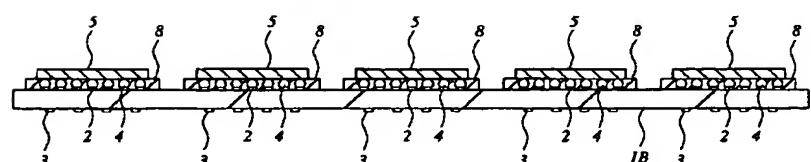
【図14】

図 14



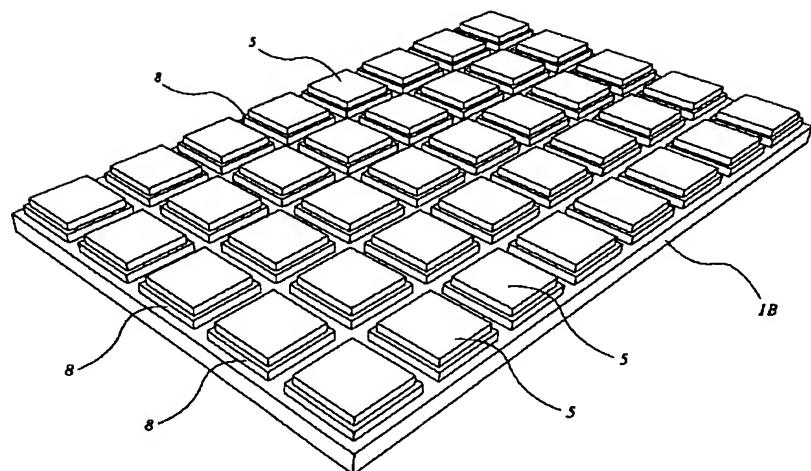
【図16】

図 16



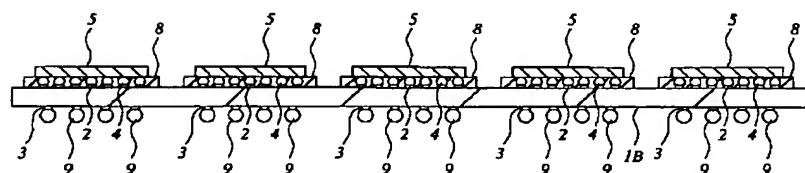
【図15】

15



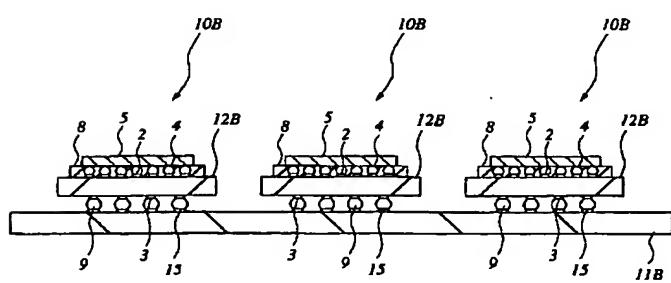
【图 17】

图 17



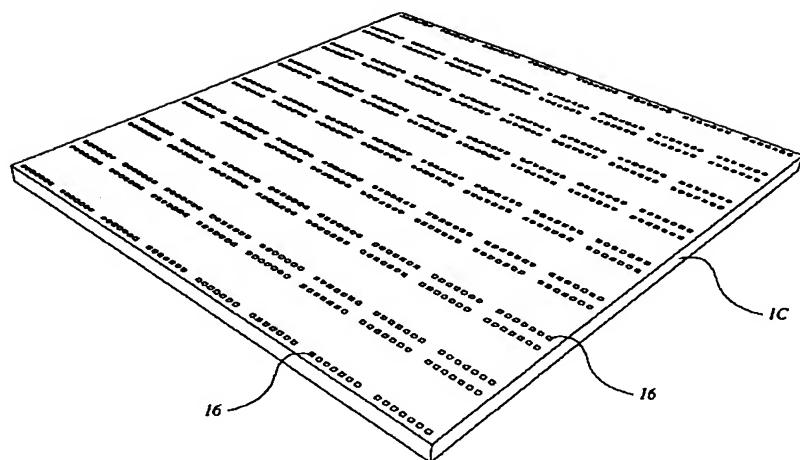
【图 19】

19



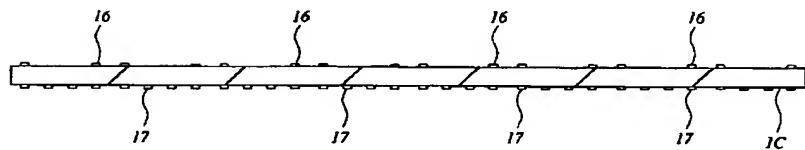
【図20】

図 20



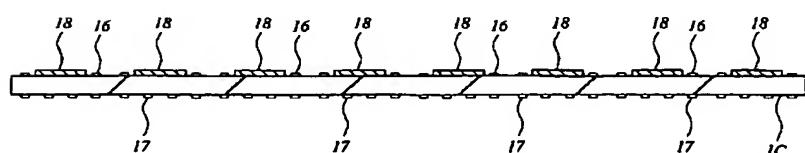
【図21】

図 21



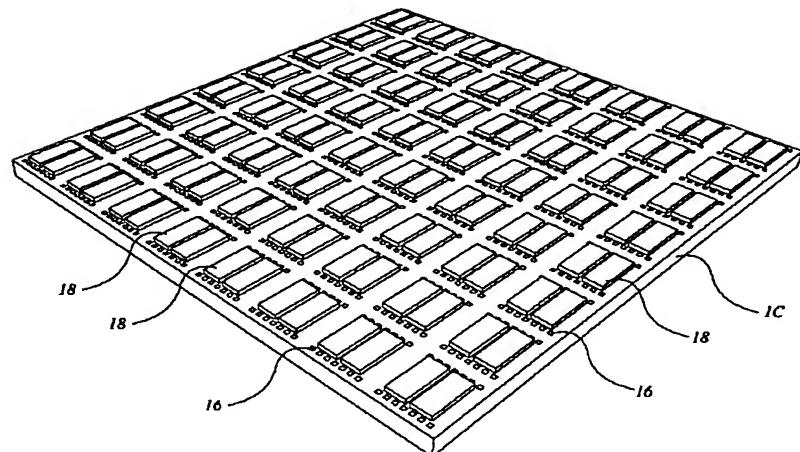
【図23】

図 23



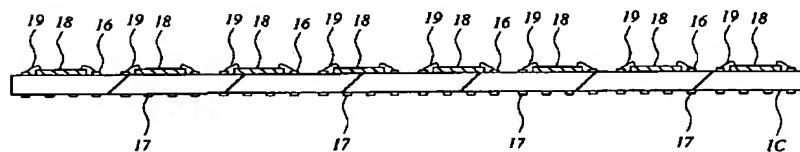
【图22】

图 22



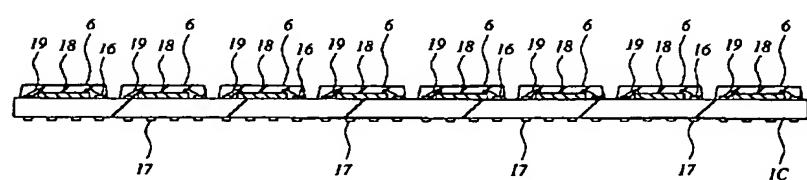
[図24]

図 24



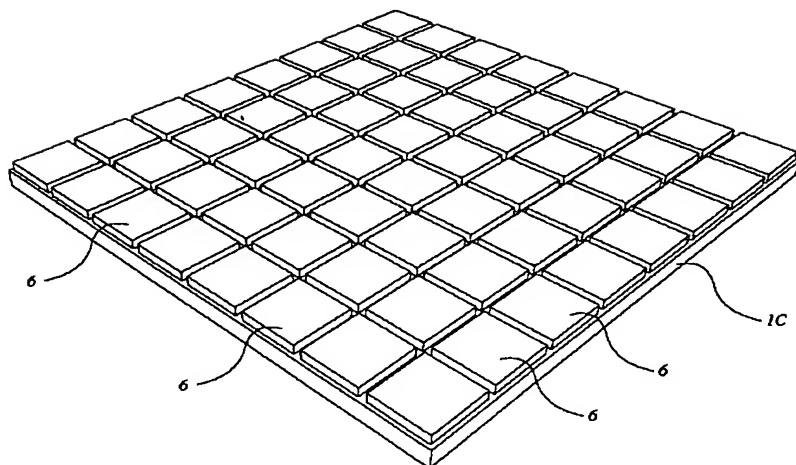
【图26】

图 26



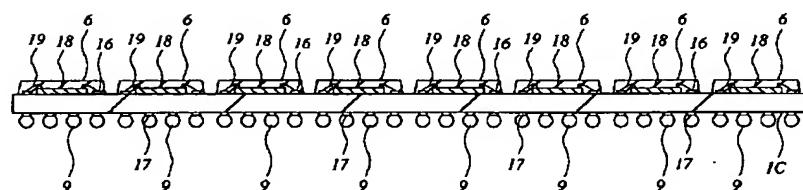
【図25】

図 25



【図27】

図 27



フロントページの続き

(72)発明者 森永 賢一郎
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 春田 亮
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 坪崎 邦宏
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.